

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-124016

(43)Date of publication of application : 15.05.1998

(51)Int.Cl.

G09G 3/36
G02F 1/133

(21)Application number : 08-299550

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 23.10.1996

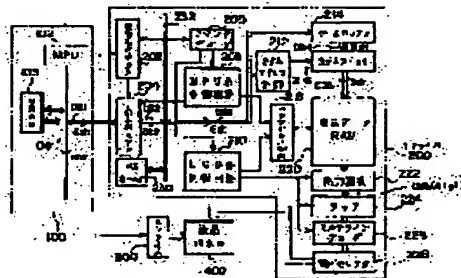
(72)Inventor : KURUMISAWA TAKASHI
ISOZAKI SHINGO

(54) DRIVING CIRCUIT FOR DISPLAY BODY, SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE, DISPLAY DEVICE, AND ELECTRONIC EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a multi-line driving circuit for a liquid crystal panel and the like in which a consistency with a MPU incorporated in an electronic equipment is improved.

SOLUTION: A unit (the number of bits of data) of transferring data is unified by adopting a processing unit (m bits) of parallel data of a MPU 102 as a processing unit for driving multi-lines. That is, display data of (m) bits including display data of (h) pieces required for deciding voltage applied to a data line is made an access unit for display data RAM 220. Thereby, the MPU 102 can transfer data to display data RAM 220 for driving a multi-lines as well as data transfer to memory controlled by the MPU itself connected to an internal bus, it is not a load on the MPU 102 especially.



LEGAL STATUS

[Date of request for examination]

13.03.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3627408

[Date of registration]

17.12.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The display object with which a display element is arranged in the shape of a matrix, and the display condition of a display element is controlled by the electrical potential difference of the scanning line and the data line, The display data memory for accumulating the indicative data in the viewing area which is a circuit for driving said data line, and takes charge of this circuit, The decoder which determines the selection electrical-potential-difference pattern for choosing said scanning line as two or more coincidence, and the electrical potential difference impressed by said data line based on the comparison with said indicative data read from said display data memory, Provide and an indicative data is transmitted to display data memory through the bus of MPU (Microcomputer Processing Unit) per m bits (m is the number of bits which MPU can process at once). The writing of the indicative data to said display data memory The drive circuit of the display object characterized by performing as a unit the m-bit indicative data containing h indicative datas required determining the electrical potential difference impressed to the one data line when the number of the scanning lines chosen as said coincidence is made into h (h is the two or more natural numbers).

[Claim 2] It is the drive circuit of the display object characterized by the above "m" being the multiple of the above "h" in claim 1.

[Claim 3] The command decode circuit where a drive circuit decodes the instruction from said MPU further in claim 1 or claim 2, The 1st control circuit which controls the writing to said display data memory of said m-bit indicative data transmitted through the bus of MPU based on the instruction decoded by the command decode circuit, The drive circuit of the display object characterized by providing the 2nd control circuit which controls the transfer to read-out of the indicative data from said display data memory, and said decoder of the read indicative data based on the instruction decoded by said command decode circuit.

[Claim 4] In either claim 1 - claim 3, a display element is arranged in the shape of a matrix. Said display object The display element of X individual and the individual which it comes to arrange at Y line writing directions (the extension direction of the scanning line) (XxY) is provided in the direction of a train (the extension direction of the data line). Said display data memory The drive circuit of the display object with which a memory cell is characterized by being the random access memory possessing the memory cell of the individual which comes to carry out individual (Yxm) arrangement (XxY) in the direction of a train (the extension direction of a bit line) at an individual (X/m) and a line writing direction (the extension direction of a word line).

[Claim 5] In either claim 1 - claim 3, a display element is arranged in the shape of a matrix. Said display object The display element of X individual and the individual which it comes to arrange at Y line writing directions (the extension direction of the scanning line) (XxY) is provided in the direction of a train (the extension direction of the data line). Said display data memory Are the random access memory which consists of n divided blocks (n is the two or more natural numbers), and one divided block The drive circuit of the display object with which a memory cell is characterized by providing the memory cell of the {(XxY) /n} individual which comes to carry out {(Yxm) /n} individual arrangement in the direction of a train (the extension direction of a bit line) at an individual (X/m) and a line writing direction (the

extension direction of a word line).

[Claim 6] In claim 3, a display element is arranged in the shape of a matrix. Said display object The display element of X individual and the individual which it comes to arrange at Y line writing directions (the extension direction of the scanning line) (XxY) is provided in the direction of a train (the extension direction of the data line). Said display data memory Are the random access memory which consists of n divided blocks (n is the two or more natural numbers), and one divided block The memory cell possesses the memory cell of an individual (X/m) and the {(XxY) /n} individual which comes to carry out {(Yxm) /n} individual arrangement at a line writing direction (the extension direction of a word line) in the direction of a train (the extension direction of a bit line). The drive circuit of the display object characterized by said thing [that said command decode circuit, said 1st control circuit, and said 2nd control circuit are prepared between each divided block].

[Claim 7] Semiconductor integrated circuit equipment which comes to pile up a drive circuit according to claim 1 to 6 a semi-conductor substrate.

[Claim 8] A display including a drive circuit according to claim 1 to 7 and the display object which the data line drives by the drive circuit.

[Claim 9] Electronic equipment carrying a display according to claim 8.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the display technique using the so-called multi-line driving method which displays by choosing h of the scanning lines (h being the two or more natural numbers) as coincidence about the drive circuit, the semiconductor integrated circuit equipment, the display, and electronic equipment of a display object.

[0002]

[Background of the Invention] By not using an expensive switching element for a substrate compared with an active matrix liquid crystal indicating equipment, since the liquid crystal display of a passive-matrix mold is cheap, it is widely used for the monitor of pocket mold par SONARUKO pewter etc.

[0003] The so-called multi-line driving method is proposed for the purpose of raising the display quality further, making low driver voltage of such a simple matrix liquid crystal display.

[0004] As reference about the multi-line driving method, there is the following, for example.

[0005] ** "A GENERALIZED ADDRESSING TECHNIQUE FOR RMS RESPONDING MATRIX LCDS, 1988 INTERNATIONAL DISPLAY RESEARCH CONFERENCE P80-P85"

** "The Japan patent public presentation official report, the Heisei 5 No. 46127 official report"

** "The Japan patent public presentation official report, the Heisei 5 No. 100642 official report"

**** "The Japan patent public presentation official report, the Heisei 6 No. 4049 official report"**

[Problem(s) to be Solved by the Invention] Since a multi-line drive is a special drive method, when performing this driving method, it needs the interface circuitry of dedication other than the drive circuit of a liquid crystal panel in many cases.

[0006] For example, when transmitting an indicative data between general-purpose MPU built in the electronic equipment by which an indicating equipment is carried, and the special driver IC which performs the multi-line drive of a liquid crystal panel, the interface of dedication may be needed for control of a transfer timing.

[0007] However, now, a mounting tooth space increases, and only the part which establishes the interface of dedication serves as hindrance of a miniaturization of the electronic equipment incorporating a display, and it also becomes the cause of a cost rise of electronic equipment.

[0008] Then, one of the purposes of this invention is to offer drive circuits which make it possible to abolish the dedicated interface between MPU and drive circuits, such as a liquid crystal panel, such as a new liquid crystal panel, without applying a burden to MPU built in electronic equipment in any way.

[0009]

[Means for Solving the Problem] This invention which solves the technical problem mentioned above is carrying out the following configurations.

[0010] (1) As for this invention according to claim 1, a display element is arranged in the shape of a matrix. And the display data memory for accumulating the indicative data in the viewing area which is a circuit for driving said data line of the display object with which the display condition of a display element is controlled by the electrical potential difference of the scanning line and the data line, and takes charge of this circuit. The decoder which determines the selection electrical-potential-difference pattern for choosing said scanning line as two or more coincidence, and the electrical potential difference impressed by said data line based on the comparison with said indicative data read from said display data memory, Provide and an indicative data is transmitted to display data memory through the bus of MPU (Microcomputer Processing Unit) per m bits (m is the number of bits which MPU can process at once). The writing of the indicative data to said display data memory When the number of the scanning lines chosen as said coincidence is made into h (h is the two or more natural numbers), it is characterized by performing as a unit the m-bit indicative data containing h indicative datas required determining the electrical potential difference impressed to the one data line.

[0011] The batch (m bits) of the parallel data of MPU is adopted also as a unit of processing for a multi-line drive, and the unit (number of bits of data) of data transfer is unified. That is, let the m-bit indicative data containing h indicative datas required to determine the electrical potential difference impressed to the one data line be an access unit to display data memory.

[0012] Thereby, MPU can transmit data also to the display data memory for a multi-line drive the same with carrying out data transfer to the memory which the self connected to the internal bus manages. Since processing for a multi-line drive as well as the interior of a microcomputer is performed, the adjustment about the timing control of data transfer is also good, and a burden special to MPU is not placed.

[0013] (2) This invention according to claim 2 is characterized by the above "m" being the multiple of the above "h" in claim 1.

[0014] Since the adjustment of "m" which is the coincidence transfer unit of data and a write-in unit to indicative-data RAM, and "h" which is the number of multi-line selections is good, the writing to a data transfer and RAM and the timing control of read-out are easy. Therefore, pipelining of data processing is also possible.

[0015] (3) Set this invention according to claim 3 to claim 1 or claim 2. The command decode circuit where a drive circuit decodes the instruction from said MPU further, The 1st control circuit which controls the writing to said display data memory of said m-bit indicative data transmitted through the bus of MPU based on the instruction decoded by the command decode circuit, It is characterized by

providing the 2nd control circuit which controls the transfer to read-out of the indicative data from said display data memory, and said decoder of the read indicative data based on the instruction decoded by said command decode circuit.

[0016] By having established the command decode circuit which decodes the instruction from MPU, and the control circuit which controls I/O of display data memory etc. based on the instruction in the interior of a drive circuit, actuation of MPU is attained independently and, moreover, a drive circuit does not apply a burden to MPU at all.

[0017] In either claim 1 – claim 3, as for this invention according to claim 4, a display element is arranged in the shape of a matrix. (4) Said display object The display element of X individual and the individual which it comes to arrange at Y line writing directions (the extension direction of the scanning line) ($X \times Y$) is provided in the direction of a train (the extension direction of the data line). Said display data memory A memory cell is characterized by being the random access memory possessing the memory cell of the individual which comes to carry out individual ($Y \times m$) arrangement ($X \times Y$) in the direction of a train (the extension direction of a bit line) at an individual (X/m) and a line writing direction (the extension direction of a word line).

[0018] In order to enable the I/O which the m-bit indicative data to display data memory bundled up, the configuration of display data memory is devised. The memory cell group connected to one word line is used for the are recording of m bit data by which radial transfer is carried out to coincidence.

[0019] Therefore, writing of juxtaposition of m bit data and read-out can be performed by activating potential of the word line.

[0020] In either claim 1 – claim 3, as for this invention according to claim 5, a display element is arranged in the shape of a matrix. (5) Said display object The display element of X individual and the individual which it comes to arrange at Y line writing directions (the extension direction of the scanning line) ($X \times Y$) is provided in the direction of a train (the extension direction of the data line). Said display data memory Are the random access memory which consists of n divided blocks (n is the two or more natural numbers), and one divided block A memory cell is characterized by providing the memory cell of the $\{(X \times Y) / n\}$ individual which comes to carry out $\{(Y \times m) / n\}$ individual arrangement in the direction of a train (the extension direction of a bit line) at an individual (X/m) and a line writing direction (the extension direction of a word line).

[0021] Display data memory is divided into two or more blocks in invention of this claim. By this, a word line is also divided, the die length of a word line becomes short, and the loads per word line decrease in number. Signal delay is mitigated by this and increase of access time can be prevented.

[0022] In claim 3, as for this invention according to claim 6, a display element is arranged in the shape of a matrix. (6) Said display object The display element of X individual and the individual which it comes to arrange at Y line writing directions (the extension direction of the scanning line) ($X \times Y$) is provided in the direction of a train (the extension direction of the data line). Said display data memory Are the random access memory which consists of n divided blocks (n is the two or more natural numbers), and one divided block The memory cell possesses the memory cell of an individual (X/m) and the $\{(X \times Y) / n\}$ individual which comes to carry out $\{(Y \times m) / n\}$ individual arrangement at a line writing direction (the extension direction of a word line) in the direction of a train (the extension direction of a bit line). Between each divided block, it is characterized by said thing [that said command decode circuit said 1st control circuit, and said 2nd control circuit are prepared].

[0023] The command decode circuit which was established in the interior of a drive circuit and which decodes the instruction from MPU, and the control circuit which controls I/O of display data memory etc. based on the instruction turn into a quite big logical circuit. A deployment of a tooth space can be aimed at in layout by arranging these logical circuits between each block of the divided display data memory.

[0024] Moreover, when right and left of logical circuits (control circuit etc.) have the division block of display data memory, the distance of each block and logical circuits (control circuit etc.) becomes the

same, and the amount of signal delay can be equalized.

[0025] (7) This invention according to claim 7 is semiconductor integrated circuit equipment which comes to pile up a drive circuit according to claim 1 to 6 a semi-conductor substrate.

[0026] MPU and adjustment which are carried in electronic equipment are good -- cheap and the semiconductor integrated circuit equipment (driver ICs, such as a liquid crystal panel) of a low power are obtained.

[0027] (8) This invention according to claim 8 is a display including a drive circuit according to claim 1 to 7 and the display object which the data line drives by the drive circuit.

[0028] The cheap and small display suitable for loading to a pocket device etc. is realized.

[0029] (9) This invention according to claim 9 is electronic equipment carrying a display according to claim 8.

[0030] The cheap and small electronic equipment which can perform a highly efficient display is realizable.

[0031]

[Embodiment of the Invention] Next, the gestalt of operation of this invention is explained with reference to a drawing.

[0032] This invention devises circuitry paying attention to the description of the multi-line driving method (henceforth the MLS driving method). For an understanding of this invention, since it is important to get to know the contents of the MLS driving method, the outline of the MLS driving method is explained first.

[0033] (1) The advantage MLS driving method of the outline A. MLS driving method of the MLS driving method is a technique which chooses two or more scanning lines as coincidence in liquid crystal panels of a passive matrix, such as a STN (Super Twisted Nematic) liquid crystal panel. Thereby, driver voltage of the scanning line can be made low.

[0034] Moreover, as shown in the drawing 7 bottom, by the conventional line sequential driving method, since one pixel is driven only once at an one-frame period, spacing of a selection pulse will be large, the permeability of liquid crystal will fall with time amount progress, and brightness when the contrast and liquid crystal of image display turn on will fall.

[0035] On the other hand, since according to the MLS driving method two or more selection periods are prepared during an one-frame period, an electrical potential difference is impressed to two or more selection periods, respectively and 1 pixel is driven as shown in the drawing 7 bottom, there is little reduction of the permeability after impressing an electrical potential difference to each selection period, and it can obtain permeability high as the average. Therefore, contrast can be raised.

[0036] B. Consider the case where the MLS drive of the liquid crystal display of a passive-matrix mold as shown in principle drawing 8 of the MLS driving method is carried out.

[0037] In drawing 8, the scanning line (X1-Xn) and the data line (Y1-Ym) are formed with the electrode on two transparent glass substrates, and liquid crystal is inserted between two substrates.

[0038] The data line is connected to the data-line drive circuit (Y driver) 2000, and the scanning line is connected to the scanning-line drive circuit (X driver) 3000. In addition, among drawing, for simplification of a publication, the data-line drive circuit was indicated to be "Y driver", and the scanning-line drive circuit is indicated to be "X driver."

[0039] A pixel is formed in the intersection of each scanning line and each data line, and the display element drives with the scan signal and data signal which are supplied to each scanning line and each data line.

[0040] Here, as shown in drawing 9, the two scanning lines X1 and X2 are driven to coincidence, and the case where the pixel of the location where those scanning lines and data lines Y1 cross is made to turn on / turn off is considered.

[0041] An ON pixel is set to "-1" and an off pixel will be described as "+1." The data in which this ON/OFF are shown are stored in the frame memory. Moreover, a selection pulse is expressed with

binary [of "+1" and "-1"]. Moreover, the driver voltages of the data line Y1 are three values of "-V2", "+V2", and "V1."

[0042] It is determined by the product of the indicative-data vector d and the selection matrix beta whether to give which electrical potential difference of "-V2", "+V2", and "V1" to the data line Y1.

[0043] In (a) of drawing 9 , it is $d\text{-beta} = -2$, and in (b), it is $d\text{-beta} = +2$, and in (c), it is $d\text{-beta} = +2$, and, in (d), is set to $d\text{-beta} = 0$.

[0044] And when the product of the indicative-data vector d and the selection matrix beta is "-2", "-V2" is chosen as data-line driver voltage, when it is "+2", "+V2" is chosen, and "V1" is chosen when it is "0."

[0045] What is necessary is just to prepare the circuit which judges the number of inequalities of the data with which the indicative-data vector d and the selection matrix beta correspond, in calculating the product of the indicative-data vector d and the selection matrix beta in an electronic circuitry.

[0046] That is, when the number of inequalities is "2", "-V2" is chosen as data-line driver voltage.

When the number of inequalities is "0", "+V2" is chosen as data-line driver voltage. Moreover, when the number of inequalities is "1", "V1" is chosen as data-line driver voltage.

[0047] In the MLS drive which chooses two lines as coincidence, data-line driver voltage was determined as mentioned above, 2 times of selection periods were prepared within the one-frame period, the electrical potential difference was impressed to the selection period, respectively, and the display condition of a pixel is determined. Since driver voltage can be made low and the electrical potential difference is impressed to two or more selection periods by adopting such a driving method, there is little decline in permeability, and contrast improves.

[0048] Thus, in order to realize an MLS drive, the inequality judging with the data (namely, display pattern) of a display image and the pattern of a selection pulse, i.e., a scan electrical-potential-difference pattern, (it may be called a selection electrical-potential-difference pattern) is needed for every selection period.

[0049] In order to realize this comparison, the indicative data for number of memory cells (k)" connected to the (number h) of scan lines $x1$ word line chosen as "coincidence is needed at once. Therefore, in order to read a required data constellation from display data memory collectively, it is necessary to devise the configuration of display data memory.

[0050] (2) The whole data-line drive circuit (it is written as Y driver among drawing, and explains hereafter using this vocabulary) configuration of a liquid crystal panel is shown in the whole data-line drive circuit block diagram 1 of the liquid crystal panel concerning the gestalt of this operation.

[0051] The Y driver 200 is IC of dedication for the MLS drive of a liquid crystal panel 400. This Y driver 200 is used for the microcomputer 100 built in the electronic equipment by which a liquid crystal panel 400 is carried, connecting. This microcomputer 100 is also semiconductor-integrated-circuit-ized.

[0052] A microcomputer 100 has 8-bit MPU (Microcomputer Processing Unit)102, an internal data bus 104, and VRAM105 grade.

[0053] The MPU interface circuitry 202 to which the Y driver 200 delivers and receives information between MPU102, The input output buffer 204 which is directly linked with the internal data bus 104 of a microcomputer 100, and delivers and receives an indicative data, The bus holder 230 who performs temporary are recording of data, and the command decoder 206 which performs decode of a command, The MPU system control circuit 208 which mainly controls light access of the indicative data to indicative-data RAM220 based on the directions from MPU, The LCD system control circuit which controls the timing of decision actuation of the electrical potential difference impressed to read-out and the data point of an indicative data from indicative-data RAM220 etc., Calah The MUADORESU control circuit 212 and the row address control circuit 218, A data buffer 214, the column switch 216, and indicative-data RAM220, The multi-line decoder 226 which determines the electrical potential difference which should detect the inequality of the output selection circuit 222, latch 224, and a selection electrical-potential-difference pattern and an indicative data, and should be impressed to the data line,

and the electrical-potential-difference selector 228 which chooses and outputs the determined electrical potential difference are provided.

[0054] The point which should be noted here has linked the Y driver 200 with the internal data bus 104 of a microcomputer 100 directly, and the data transfer from 8-bit MPU 1-2 to indicative-data RAM220 is carried out by 8 bitwises (unit to which MPU's 102 can carry out parallel processing of the data) like the data transfer in a microcomputer 100. That is, data transfer Rhine DB1 until it results [from the internal data bus 104 in drawing 1 and in a microcomputer 100] in indicative-data RAM220, DB2, and DB3, DB4 and DB5 are Rhine which transmits data to juxtaposition per 8 bits (1 byte).

[0055] That is, the pipeline of data transfer is built between the external microcomputer 100 and the X driver 200. On the occasion of data transfer, a transfer timing can be tuned finely, using the bus holder 230 suitably.

[0056] That is, especially MPU102 can issue an instruction for transfer processing of an indicative data, without being conscious of the interior and the exterior of a microcomputer.

[0057] The data transfer instruction from MPU102 inputted into the MPU interface circuitry 202 is decoded by the command decoder (command decode circuit) 206, and the contents, required control data, etc. are sent to the MPU system control circuit (the 1st control circuit) 208 and the LCD system control circuit (the 2nd control circuit) 210.

[0058] The MPU system control circuit 208 where required information was given controls an input buffer 204 and the column address control circuit 212, and performs the data transfer from an input output buffer 204 to indicative-data RAM220, and the writing of data.

[0059] The LCD system control circuit 210 makes data read from indicative-data RAM220 independently of actuation of an above-mentioned MPU system control circuit.

[0060] The output selection circuit 222 chooses and reads an indicative data required for an MLS drive. After an indicative data is held temporarily at latch 224, it is sent to the multi-line decoder 226. As a result of coincidence and an inequality judging of the multi-line decoder 226, the determined electrical-potential-difference information is transmitted to the electrical-potential-difference selector 228, and the electrical-potential-difference selector 228 chooses the electrical potential difference, and supplies it to the data line (data line of the viewing area which the Y driver 200 takes charge of) of a liquid crystal panel 400.

[0061] In addition, among drawing 1 , although the Y driver 200 and the X driver 300 are drawn as one IC, they may carry out cascade connection of two or more ICs with the same function, and they may be used for them.

[0062] When carrying out cascade connection of two or more ICs and considering as one X driver, the data-line driver voltage which the memory space of indicative-data RAM in each IC is the capacity for the viewing area which the one IC takes charge of, and is outputted from the electrical-potential-difference selector 228 turns into driver voltage about the data line of the viewing area which one IC takes charge of.

[0063] (3) The schematic diagram 2 of the configuration of indicative-data RAM220 and the writing of data, and read-out actuation (a) shows the memory configuration of the bit map format of having made one data corresponding to 1 pixel of a liquid crystal panel 400, and this drawing (b) shows the memory configuration of indicative-data RAM220 adopted by drawing 1 . 1-30 of 1-240 of the lengthwise direction of drawing (a), lateral 1-lateral 320, and the lengthwise direction of drawing (b), and lateral 1-lateral 2560 show the physical address of memory, respectively, and [1] - [30] and [1] - in (b) [320] shows the address in the address space seen from the MPU102 side.

[0064] the number of scanning lines which it chooses as coincidence in performing an MLS drive as above-mentioned although it should become a configuration like drawing 2 (a) if it is the usual image memory (frame memory) — (— it is necessary to supply all the data for h) to juxtaposition at once at a multi-line decoder, and a special configuration like drawing 2 (b) is adopted in order to make such special read-out possible.

[0065] That is, although a 240 piece (direction of bit line) x320 piece (the direction of a word line) memory cell is arranged and memory is constituted from drawing 2 (a), a 30 piece (direction of bit line) x2560 piece (the direction of a word line) memory cell is arranged, and memory consists of drawing 2 (b). That is, in (b), the number of memory cells of the direction of a bit line is compressed into one eighth ($240/8=30$), and, on the other hand, the number of memory cells of the direction of a word line has increased 8 times ($320 \times 8=2560$).

[0066] all the data of field (a) of drawing 2 (a) which should read this at once -- that is By making the memory cell group by which all the data from (a1, b1, c1, d1) to (a320, b320, c320, d320) in drawing 2 (a) are connected to one word line memorize, and activating the word line It is for making possible the parallel read-out of the coincidence of each data, and is for taking adjustment with data transfer.

[0067] Since all data transfer is performed by 8 bits as above-mentioned, in order to secure pipeline-processing, it is necessary to also perform the writing of data to indicative-data RAM220 by 8 bits, and therefore, length is compressed into one eighth like drawing 2 (b) in order to perform the coincidence writing of 8-bit data, and width is considered as the memory configuration elongated 8 times.

[0068] And in one writing to indicative-data RAM220, a package is written in for the data (for example, e1, f1, g1, h1) corresponding to the scanning line chosen as coincidence in the following cycle other than the data (for example, a1, b1, c1, d1) corresponding to the scanning line chosen as coincidence as a unit (8 bits) of a lot.

[0069] The column address of indicative-data RAM220 seen from the MPU102 side is [1] - [30], and a row address is [1] - [320]. Therefore, the column address control circuit 212 and the row address control circuit 218 of drawing 1 fix the column address, and they perform the writing of 8 bitwises, incrementing a row address every [1].

[0070] Thus, the writing of the indicative data to the display data memory 220 is performed considering the m bits (m is the number of bits of data transfer) indicative data containing h indicative datas required to determine the electrical potential difference impressed to the one data line as a unit, when the number of the scanning lines chosen as coincidence is made into h (h is the two or more natural numbers). Thereby, MPU102 can transmit data also to indicative-data RAM for a multi-line drive the same with carrying out data transfer to the memory (105th grade) which the self connected to the internal bus 104 manages. Therefore, since processing for a multi-line drive as well as the interior of a microcomputer is performed, the adjustment about the timing control of data transfer is also good, and a burden special to MPU is not placed.

[0071] Moreover, on the occasion of read-out of the data from the display data memory 220, as an arrow head shows to the drawing 2 (b) bottom, the indicative data of field (a) of drawing 2 (a) is first read from the memory cell of the odd-numbered physical address collectively. And the indicative data of field (b) of drawing 2 (a) is collectively read from the memory cell of the even-numbered physical address in the following cycle. The output selection circuit 222 of drawing 1 performs selection of such read-out data.

[0072] Thus, with the gestalt of this operation, data transfer and the write-in unit ("8" bits) to RAM are the multiples of the number of multi-line selections ("4"), therefore, the writing to RAM and the adjustment of read-out are good, and timing control is easy. Therefore, it is suitable for pipeline-processing of data.

[0073] (4) The example of the circuit of the indicative-data RAM220 circumference is shown in example drawing 3 of the circuit of the indicative-data RAM220 circumference.

[0074] SRAM is used as indicative-data RAM220. memory cells M1 and M2 ... word lines W1 and W2 -- if ... becomes active, it will be in a selection condition and the writing to each memory cell and read-out will become possible.

[0075] On the other hand, a data buffer 214 stores temporarily the 8-bit data D0-D7 sent through the internal bus 104 of MPU102, and has the flip-flops 215a-215h of the number of stages corresponding to each data.

[0076] the flip-flops 215a-215h of each stage -- one pair of signal lines DL1, xDL1, DL2, and xDL2 ... is connected, respectively. In addition, x is a notation which shows that the voltage level is reversed.

[0077] these signal lines DL1, xDL1, DL2, and xDL2 -- 8 sets of NMOS transistors S1 and S2 which constitute a column switch in ..., and ... the end (the source, drain) of S15 and S16 connects -- having -- 8 sets of NMOS transistors S1 and S2 -- the common column switch control signal ADR 1 (ADR2) outputted from the column address control circuit 212 is supplied to the gate of ...

[0078] that is, -- for example, -- if the column switch control signal ADR 1 becomes active -- 8 sets of NMOS transistors S1 and S2, and ... S15 and S16 turn all on and the coincidence writing of the data to eight memory cells (for example, memory cells M1-M8) of them is attained.

[0079] moreover, read-out of the data from a memory cell -- setting -- a complementary bit line pair -- after the indicative data read through BL1 and xBL1 grade is sorted out in the output selection circuit 222, it is sent to latch 224.

[0080] The output selection circuit 222 will pass the data from the even-numbered memory cell, if the switches S30-S37 which consist of an MOS transistor turned on alternatively are provided and a selection signal SEL1 becomes active with selection signals SEL1 and SEL2, and if a selection signal SEL2 becomes active, it will pass the data from the odd-numbered memory cell.

[0081] Latch 224 has the flip-flop which combined inverters INV1 and INV2.

[0082] The indicative data held by the latch 224 is supplied to the multi-line decoder 226. the inequality judging circuits 227a and 227b which determine an electrical potential difference for the multi-line decoder 226 to drive the one data line of a liquid crystal panel -- it has ..

[0083] Drawing 5 is the block diagram having shown the configuration of one inequality judging circuit.

[0084] an inequality -- a number -- a judgment -- a circuit -- the -- one -- ROM -- a circuit -- one -- the -- two -- ROM -- a circuit -- two -- the -- three -- ROM -- a circuit -- three -- the -- four -- ROM -- a circuit -- four -- the -- five -- ROM -- a circuit -- five -- precharge -- (PC) -- a circuit -- six -- ten -- having -- ****. Although the PC circuits 6, 7, 9, and 10 are the same configurations, configurations differ for a while and, as for the PC circuit 8, the number of input/output terminals has become one.

[0085] The input signal to the number judging circuit of inequalities is the signal FR which reverses data4, the precharge signal PC and ON of a display, and OFF from the pattern recognition signal (PD0, PD1) for distinguishing the pattern (selection electrical-potential-difference pattern) of a scanning-line drive of a liquid crystal panel, and the data signal data1 read from the frame memory.

[0086] These input signals are respectively inputted through an inverter common [both a normal rotation signal and a reversal signal] to one to ROM5 circuits 1-5. However, only a normal rotation signal is inputted into FR terminal.

[0087] The output signals sw1-sw5 of one to PC5 circuits 6-10 are connected to the control terminal of the electrical-potential-difference selector 260 through the level shifter 259 of drawing 20. When any one of the output signals sw1-sw5 is High, one of the voltage levels VY1-VY5 which corresponds within an electrical-potential-difference selector is chosen, and it is impressed by the data line.

[0088] Drawing 6 is drawing which expressed ROM5 circuit 5 of drawing 5 typically, and shows N channel transistor (henceforth Nch-Tr) with a circle [white] (O).

[0089] In the left-hand side of drawing 6, (a, c) are written, (b) is written, (d) is written and the substrate [source] (Vss=GND) is written as shown corresponding to the usual CMOS transistor notation. [the gate] [a drain] [the source]

[0090] Next, the process in which an output signal is generated by the decoding operation from an input signal is explained.

[0091] The output line (vertical line) of an inequality judging circuit is High by precharge (PC signal) beforehand. If all Nch-Tr by which series connection is carried out to one vertical line turns on, the potential of the line of the length will serve as Vss, and an output will change with the input signals inputted from an input line (horizontal line) to Low.

[0092] For example, suppose that the pattern of drawing 10 is adopted as a scan electrical-potential-difference pattern (selection electrical-potential-difference pattern).

[0093] If all of data1-data4 become [XPC] High by High, all Nch-Tr of eye one train of ROM5 circuit will turn on, it will be connected with Vss, and Low will be outputted. Other trains have Nch-Tr which is not turned on, and do not lead to Vss, but are still High.

[0094] Thus, an output can be chosen by where Nch-Tr is placed. That is, it is possible to decode an input signal and to change into selection electrical-potential-difference data by arrangement of Nch-Tr.

[0095] It is inputted into the electrical-potential-difference selector 228, the electrical potential difference corresponding to the data is chosen, and the selection electrical-potential-difference data outputted from the multi-line decoder 226 are supplied to a liquid crystal panel 400. In addition, reference numbers 229a and 229b show the voltage selection circuit per one output, respectively.

[0096] (5) Indicative-data RAM220 of gestalt drawing 2 of the 2nd operation is making the longitudinal direction the special gestalt of being very long (that is, the one scanning line being very long), compared with the usual RAM on the need of reading at once the indicative data corresponding to the number of the scanning lines driven to coincidence by activating one word line.

[0097] On the other hand, MPU102 (drawing 1) in the microcomputer 100 built in electronic equipment as above-mentioned performs high-speed data transfer processing as usual, without being conscious of the MLS drive of a liquid crystal panel in any way.

[0098] Therefore, if signal delay arises by the drive of a long word line and access time increases in the case of I/O of the data to indicative-data RAM220, it will be assumed also when the bus of MPU102 and the pipeline-data transfer linked directly become difficult, without the ability taking adjustment with the high-speed data transfer from the MPU102 side.

[0099] So, with the gestalt of this operation, as shown in drawing 4 , indicative-data RAM220 is divided into two blocks 221a and 221b, one word line length is shortened, and drive delay is mitigated.

[0100] In drawing 4 , the same reference number is given to the same part as drawing 1 .

[0101] The word line driver 240,242 is formed in each blocks 221a and 221b, and each word line driver 240,242 drives word line W1 a-Wna and W1 b-Wnb which were divided, respectively. Moreover, the column address control circuits 212a and 212b, data buffers 214a and 214b, and the multi-line decoders 226a and 226b are also divided and formed.

[0102] Furthermore, with the gestalt of this operation, the logical circuit 211 is arranged among the divided blocks 221a and 221b.

[0103] Here, "a logical circuit 211" is a name which expresses the MPU interface 202 in drawing 1 , the bus holder 230, a command decoder 206, the MPU control circuit 208, and the LCD system control circuit 210 in the gross. Especially the MPU control circuit 208 and the LCD system control circuit 210 are a quite big logical circuit, and the arrangement poses a problem.

[0104] So, with the gestalt of this operation, the "logical circuit 211" including the MPU control circuit 208 or the LCD system control circuit 210 is arranged between each block 221a of divided indicative-data RAM, and 221b, and the deployment of a tooth space is aimed at.

[0105] Moreover, when there are blocks 221a and 221b divided into right and left of a logical circuit 211, the distance from the logical circuit 211 to each blocks 221a and 221b becomes the same, and the amount of signal delay can be equalized.

[0106] In addition, although indicative-data RAM is divided into two with the gestalt of this operation, it is not limited to this and suitable division can be performed.

[0107] It is the field where the size of the field of the display object which the drive circuit of the gestalt of this operation takes charge of consists of a display element of an individual (XxY) in the sum total which it comes to arrange X individual and horizontally [Y] (the extension direction of the scanning line) perpendicularly (the extension direction of the data line). When dividing display data memory into n pieces (n is the two or more natural numbers), one divided block A memory cell will possess the memory cell of a $\{(XxY) / n\}$ individual an individual (X/m) and horizontally (the extension direction of a word line)

lengthwise (the extension direction of a bit line) in the sum total in which it comes to carry out $((Yxm)/n)$ individual arrangement. Here, m is the parallel data batch (batch of a transfer) of MPU as above-mentioned.

[0108] (6) Explain the example of the electronic equipment carrying the gestalt, next the above-mentioned display (liquid crystal display) of the 3rd operation.

[0109] The electronic equipment concerning the gestalt of this operation is constituted including the display panels 1006, such as the source 1000 of a display information output shown in drawing 11, the display information processing circuit 1002, the display drive circuit 1004, and a liquid crystal panel, the clock generation circuit 1008, and a power circuit 1010. The source 1000 of a display information output is constituted including the tuning circuit which aligns and outputs memory, such as ROM and RAM, and a TV signal, and outputs display information, such as a video signal, based on the clock from the clock generation circuit 1008. The display information processing circuit 1002 processes and outputs display information based on the clock from the clock generation circuit 1008. This display information processing circuit 1002 can include for example, magnification and a polarity-reversals circuit, a phase expansion circuit, a rotation circuit, a gamma correction circuit, or a clamping circuit. The display drive circuit 1004 is constituted including a scan side drive circuit and a data side drive circuit, and carries out the display drive of the liquid crystal panel 1006. A power circuit 1010 supplies power to each above-mentioned circuit.

[0110] The equipment equipped with the video tape recorder of the personal computer corresponding to multimedia (PC) and engineering workstation (EWS) which are shown in the liquid crystal projector shown in drawing 12 and drawing 13, drawing 14, the pager shown in drawing 15 R> 5 or a cellular phone, a word processor, television, a viewfinder mold, or a monitor direct viewing type, an electronic notebook, an electronic calculator, car navigation equipment, the POS terminal, and the touch panel as electronic equipment of such a configuration can be mentioned.

[0111] The liquid crystal projector shown in drawing 12 is a projection mold projector which used the transparency mold liquid crystal panel as a light valve, for example, the optical system of 3 plate prism method is used for it. In drawing 12, inside a light guide 1104, the projection light injected from the lamp unit 1102 of the source of the white light is divided into the three primary colors of R, G, and B with two or more mirrors 1106 and the dichroic mirror 1108 of two sheets, and is led to the liquid crystal panels 1110R, 1110G, and 1110B of three sheets which display the image of each color by the projector 1100. And incidence of the light modulated with each liquid crystal panel 1110R, 1110G, and 1110B is carried out to a dichroic prism 1112 from three directions. In a dichroic prism 1112, 90 degrees of light of Red R and Blue B are bent, since the light of Green G goes straight on, the image of each color is compounded, and a color picture is projected on a screen etc. through the projection lens 1114.

[0112] The personal computer 1200 shown in drawing 13 has the body section 1204 equipped with the keyboard 1202, and the liquid crystal display screen 1206.

[0113] The pager 1300 shown in drawing 14 has the light guide 1306 equipped with the liquid crystal display substrate 1304 and back light 1306a in the metal frame 1302, the circuit board 1308, the 1st, the 2nd shielding plate 1310, 1312 or 2 elastic conductors 1314 and 1316, and the tape carrier package tape 1318. Two elastic conductors 1314 and 1316 and the tape carrier package tape 1318 connect the liquid crystal display substrate 1304 and the circuit board 1308.

[0114] Here, the liquid crystal display substrate 1304 is what enclosed liquid crystal between two transparence substrates 1304a and 1304b, and, thereby, the liquid crystal display panel of a dot-matrix mold is constituted at least. In addition to the drive circuit 1004 shown in one transparence substrate at drawing 20, or this, the display information processing circuit 1002 can be formed. The circuit which is not carried in the liquid crystal display substrate 1304 is made into the external circuit of a liquid crystal display substrate, and, in the case of drawing 23, can be carried in the circuit board 1308.

[0115] Since drawing 14 shows the configuration of a pager, the circuit board 1308 is needed in addition to liquid crystal display substrate 1304, but it is the case where a liquid crystal display is used as

elegance for electronic equipment a part, and when a display drive circuit etc. is carried in a transperence substrate, the smallest unit of the liquid crystal display is the liquid crystal display substrate 1304. Or what fixed the liquid crystal display substrate 1304 to the metal frame 1302 as a housing can also be used as a liquid crystal display for electronic equipment which is elegance a part. Furthermore, in the case of a back light type, in the metal frame 1302, the liquid crystal display substrate 1304 and the light guide 1306 equipped with back light 1306a can be incorporated, and a liquid crystal display can be constituted.

[0116] In addition, as it replaces with these and is shown in drawing 15 , TCP (TapeCarrier Package)1320 which mounted the IC chip 1324 can be connected to the polyimide tape 1322 on which the metaled electric conduction film was formed in one side of two transperence substrates 1304a and 1304b which constitute the liquid crystal display substrate 1304, and it can also be used as a liquid crystal display for electronic equipment which is elegance a part.

[0117] In addition, this invention is not limited to the above-mentioned example, and deformation implementation various by within the limits of the summary of this invention is possible for it. For example, this invention is applicable not only to what is applied to the drive of various kinds of above-mentioned liquid crystal panels but electroluminescence and plasma display equipment.

[0118]

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the whole system configuration concerning the gestalt of operation of the 1st of this invention.

[Drawing 2] It is drawing for explaining the memory configuration of indicative-data RAM, and (a) shows the general memory configuration of the bit map format of having made one data corresponding to 1 pixel of a liquid crystal panel, and (b) shows the memory configuration of indicative-data RAM concerning this invention adopted by drawing 1 .

[Drawing 3] It is drawing showing the example of a concrete configuration of indicative-data RAM and its circumference circuit.

[Drawing 4] It is the block diagram showing the configuration of the important section of the system concerning the gestalt of operation of the 2nd of this invention.

[Drawing 5] It is drawing showing the concrete configuration of the inequality judging circuit which constitutes the multi-line decoder of drawing 2 .

[Drawing 6] It is drawing showing the configuration of ROM currently used for the inequality judging circuit of drawing 5 .

[Drawing 7] It is drawing for explaining the principle of the frame responsibility in the liquid crystal panel

of a passive-matrix mold, and a multi-line drive.

[Drawing 8] It is drawing showing arrangement of the electrode in the liquid crystal panel of a passive-matrix mold.

[Drawing 9] It is drawing for explaining the contents of the multi-line drive.

[Drawing 10] It is drawing showing an example of the scan electrical-potential-difference pattern (selection electrical-potential-difference pattern) in a multi-line drive.

[Drawing 11] It is the block diagram of the electronic equipment by which this invention is applied.

[Drawing 12] It is drawing for explaining the outline of a projector in which this invention is applied.

[Drawing 13] It is drawing showing the appearance of the personal computer with which this invention is applied.

[Drawing 14] It is the decomposition perspective view of the pager to which this invention is applied.

[Drawing 15] It is the perspective view showing an example of the image display device equipped with the external circuit.

[Description of Notations]

100 Microcomputer

102 MPU

104 Internal Data Bus

105 VRAM

200 Y Driver

202 MPU Interface

204 Input Output Buffer

206 Command Decoder

208 MPU System Control Circuit

210 LCD System Control Circuit

212 Column Address Control Circuit

214 Data Buffer Circuit

216 Column Switch

218 Row Address Control Circuit

220 Indicative-Data RAM

222 Output Selection Circuit

224 Latch

226 Multi-line Decoder

228 Electrical-Potential-Difference Selector

300 X Driver

400 Liquid Crystal Panel

[Translation done.]

(11)特許出願公開番号

特開平10-124016

(43)公開日 平成10年(1998)5月15日

(51) Int.Cl.⁸

識別記号

FI

G O 9 G 3/36

G O 9 G 3/36

G 0 2 F 1/133

505

G 0 2 F 1/133

505

審査請求 未請求 請求項の数9 FD (全 15 頁)

(21)出願番号 特願平8-299550

(22)出願日 平成8年(1996)10月23日

(71)出題人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)發明者 胡桃澤 孝

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72)發明者 磯▲崎▼ 慎吾

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

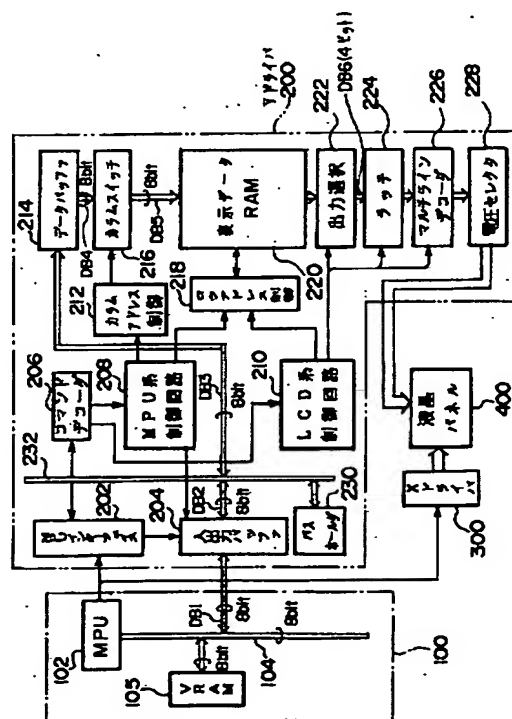
(74)代理人 弁理士 井上 一 (外2名)

(54)【発明の名称】 表示体の駆動回路、半導体集積回路装置、表示装置および電子機器

(57) 【要約】

【課題】 電子機器に内蔵されているMPUとの整合性を高めた液晶パネル等のマルチライン駆動回路を提供することにある。

【解決手段】 MPU（102）の並列データの処理単位（mビット）を、マルチライン駆動用の処理の単位としても採用し、データ転送の単位（データのビット数）を統一する。つまり、1本のデータ線に印加する電圧を決定するのに必要なh個の表示データを含むmビットの表示データを、表示データRAM（220）へのアクセス単位とする。これにより、MPUは、内部バスに接続された自己が管理するメモリにデータ転送をするのと同様に、マルチライン駆動用の表示データRAM（220）にもデータを転送することができ、MPUに特別な負担がかからない。



(2)

【特許請求の範囲】

【請求項1】 表示要素がマトリクス状に配置され、かつ走査線ならびにデータ線の電圧により表示要素の表示状態が制御される表示体の、前記データ線を駆動するための回路であって、

この回路が担当する表示領域における表示データを蓄積するための表示データメモリと、

前記走査線を複数本同時に選択するための選択電圧パターンと、前記表示データメモリから読み出された前記表示データとの比較に基づき前記データ線に印加する電圧を決定するデコーダと、を具備し、

表示データは、MPU (Microcomputer Processing Unit) のバスを介してmビット (mはMPUが一度に処理可能なビット数) 単位で表示データメモリへと転送され、

前記表示データメモリへの表示データの書き込みは、前記同時に選択する走査線の本数をh本 (hは2以上の自然数) とした場合、1本のデータ線に印加する電圧を決定するのに必要なh個の表示データを含むmビットの表示データを単位として行われることを特徴とする表示体の駆動回路。

【請求項2】 請求項1において、

前記「m」は前記「h」の倍数であることを特徴とする表示体の駆動回路。

【請求項3】 請求項1または請求項2において、

駆動回路はさらに、

前記MPUからの命令を解読するコマンド解読回路と、そのコマンド解読回路によって解読された命令に基づいて、MPUのバスを介して転送されてくる前記mビットの表示データの前記表示データメモリへの書き込みを制御する第1の制御回路と、

前記コマンド解読回路によって解読された命令に基づいて、前記表示データメモリからの表示データの読出し、ならびに読み出した表示データの前記デコーダへの転送を制御する第2の制御回路と、を具備することを特徴とする表示体の駆動回路。

【請求項4】 請求項1～請求項3のいずれかにおいて、

表示要素がマトリクス状に配置され前記表示体は、列方向 (データ線の延在方向) にX個、行方向 (走査線の延在方向) にY個配列されてなる (X×Y) 個の表示要素を具備しており、

前記表示データメモリは、メモリセルが列方向 (ビット線の延在方向) に (X/m) 個、行方向 (ワード線の延在方向) に (Y×m) 個配置されてなる (X×Y) 個のメモリセルを具備するランダムアクセスメモリであることを特徴とする表示体の駆動回路。

【請求項5】 請求項1～請求項3のいずれかにおいて、

表示要素がマトリクス状に配置され前記表示体は、列方

2

向 (データ線の延在方向) にX個、行方向 (走査線の延在方向) にY個配列されてなる (X×Y) 個の表示要素を具備しており、

前記表示データメモリは、n個 (nは2以上の自然数) の分割されたブロックからなるランダムアクセスメモリであり、分割された1つのブロックは、メモリセルが列方向 (ビット線の延在方向) に (X/m) 個、行方向 (ワード線の延在方向) に (Y×m) / n 個配置されてなる (X×Y) / n 個のメモリセルを具備することを特徴とする表示体の駆動回路。

【請求項6】 請求項3において、

表示要素がマトリクス状に配置され前記表示体は、列方向 (データ線の延在方向) にX個、行方向 (走査線の延在方向) にY個配列されてなる (X×Y) 個の表示要素を具備しており、

前記表示データメモリは、n個 (nは2以上の自然数) の分割されたブロックからなるランダムアクセスメモリであり、分割された1つのブロックは、メモリセルが列方向 (ビット線の延在方向) に (X/m) 個、行方向 (ワード線の延在方向) に (Y×m) / n 個配置されてなる (X×Y) / n 個のメモリセルを具備しており、

前記分割された各ブロックの間には、前記コマンド解読回路と、前記第1の制御回路と、前記第2の制御回路とが設けられていることを特徴とする表示体の駆動回路。

【請求項7】 請求項1～請求項6のいずれかに記載の駆動回路を半導体基板に集積してなる半導体集積回路装置。

【請求項8】 請求項1～請求項7のいずれかに記載の駆動回路と、その駆動回路によりデータ線が駆動される表示体とを含む表示装置。

【請求項9】 請求項8に記載の表示装置を搭載した電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、表示体の駆動回路、半導体集積回路装置、表示装置および電子機器に関し、特に、走査線のうちのh本 (hは2以上の自然数) を同時に選択して表示を行う、いわゆるマルチライン駆動法を用いた表示技術に関する。

【0002】

【背景技術】 単純マトリクス型の液晶表示装置は、アクティブマトリクス型液晶表示装置に比べ、基板に高価なスイッチング素子を用いる必要がなく安価であることから、携帯型パーソナルコンピュータのモニタ等に広く用いられている。

【0003】 そのような単純マトリクス型液晶表示装置の駆動電圧を低くしつつ、さらにその表示品質を向上させることを目的として、いわゆるマルチライン駆動法が提案されている。

50

(3)

3

【0004】マルチライン駆動法に関する文献としては、例えば、以下のようなものがある。

【0005】①「A GENERALIZED ADDRESSING TECHNIQUE FOR RMS RESPONDING MATRIX LCDS, 1988 INTERNATIONAL DISPLAY RESEARCH CONFERENCE P80～P85」

②「日本国特許公開公報、平成5年第46127号公報」

③「日本国特許公開公報、平成5年第100642号公報」

④「日本国特許公開公報、平成6年第4049号公報」

【発明が解決しようとする課題】マルチライン駆動は特殊駆動方式であるため、この駆動法を実行する場合には、液晶パネルの駆動回路の他に、専用のインタフェース回路を必要とする場合が多い。

【0006】例えば、表示装置が搭載される電子機器に内蔵されている汎用のMPUと、液晶パネルのマルチライン駆動を実行する特殊なドライバICとの間で表示データの転送を行う場合、転送タイミングの制御用に専用のインタフェースが必要となる場合がある。

【0007】しかし、これでは専用のインタフェースを設ける分だけ実装スペースが増大し、表示装置を組み込んだ電子機器の小型化の妨げとなり、また、電子機器のコスト上昇の一因ともなる。

【0008】そこで、本発明の目的の一つは、電子機器に内蔵されているMPUに何ら負担をかけることなく、MPUと液晶パネル等の駆動回路との間の専用インタフェースをなくすことを可能とする、新規な液晶パネル等の駆動回路を提供することにある。

【0009】

【課題を解決するための手段】上述した課題を解決する本発明は、以下のような構成をしている。

【0010】(1) 請求項1に記載の本発明は、表示要素がマトリクス状に配置され、かつ走査線ならびにデータ線の電圧により表示要素の表示状態が制御される表示体の、前記データ線を駆動するための回路であって、この回路が担当する表示領域における表示データを蓄積するための表示データメモリと、前記走査線を複数本同時に選択するための選択電圧パターンと、前記表示データメモリから読み出された前記表示データとの比較に基づき前記データ線に印加する電圧を決定するデコーダと、を具備し、表示データは、MPU (Microcomputer Processing Unit) のバスを介してmビット (mはMPUが一度に処理可能なビット数) 単位で表示データメモリへと転送され、前記表示データメモリへの表示データの書き込みは、前記同時に選択する走査線の数をh本 (hは2以上の自然数) とした場合、1本のデータ線に印加する電圧を決定するのに必要なh個の表示データを含むm

4

ビットの表示データを単位として行われることを特徴とする。

【0011】MPUの並列データの処理単位 (mビット) を、マルチライン駆動用の処理の単位としても採用し、データ転送の単位 (データのビット数) を統一する。つまり、1本のデータ線に印加する電圧を決定するのに必要なh個の表示データを含むmビットの表示データを表示データメモリへのアクセス単位とする。

【0012】これにより、MPUは、内部バスに接続された自己が管理するメモリにデータ転送をするのと同様に、マルチライン駆動用の表示データメモリにもデータを転送することができる。マルチライン駆動のための処理もマイクロコンピュータの内部と同様に行われるため、データ転送のタイミング制御に関する整合性もよく、MPUに特別な負担がかからない。

【0013】(2) 請求項2に記載の本発明は、請求項1において、前記「m」は前記「h」の倍数であることを特徴とする。

【0014】データの同時転送単位ならびに表示データRAMへの書き込み単位である「m」と、マルチライン選択数である「h」との整合性がよいため、データの転送、RAMへの書き込み、読出しのタイミング制御が容易である。したがって、データ処理のパイプライン化も可能である。

【0015】(3) 請求項3に記載の本発明は、請求項1または請求項2において、駆動回路はさらに、前記MPUからの命令を解読するコマンド解読回路と、そのコマンド解読回路によって解読された命令に基づいて、MPUのバスを介して転送されてくる前記mビットの表示データの前記表示データメモリへの書き込みを制御する第1の制御回路と、前記コマンド解読回路によって解読された命令に基づいて、前記表示データメモリからの表示データの読出し、ならびに読み出した表示データの前記デコーダへの転送を制御する第2の制御回路と、を具備することを特徴とする。

【0016】駆動回路の内部に、MPUからの命令を解読するコマンド解読回路と、その命令に基づいて表示データメモリの入出力等を制御する制御回路とを設けたことにより、駆動回路は、MPUとは独立に動作可能となり、しかも、MPUには何ら負担をかけない。

【0017】(4) 請求項4に記載の本発明は、請求項1～請求項3のいずれかにおいて、表示要素がマトリクス状に配置され前記表示体は、列方向 (データ線の延在方向) にX個、行方向 (走査線の延在方向) にY個配列されてなる (X×Y) 個の表示要素を具備しており、前記表示データメモリは、メモリセルが列方向 (ビット線の延在方向) に (X/m) 個、行方向 (ワード線の延在方向) に (Y×m) 個配置されてなる (X×Y) 個のメモリセルを具備する、ランダムアクセスメモリであることを特徴とする。

(4)

5

【0018】表示データメモリへの、 m ビットの表示データの一括した入出力を可能とするために、表示データメモリの構成を工夫したものである。一本のワード線に接続されたメモリセル群を、同時に入出力処理される m ビットデータの蓄積に使用する。

【0019】よって、そのワード線の電位をアクティブとすることによって、 m ビットデータの並列の書き込み、読出しを行うことができる。

【0020】(5) 請求項5に記載の本発明は、請求項1～請求項3のいずれかにおいて、表示要素がマトリクス状に配置され前記表示体は、列方向（データ線の延在方向）に X 個、行方向（走査線の延在方向）に Y 個配列されてなる（ $X \times Y$ ）個の表示要素を具備しており、前記表示データメモリは、 n 個（ n は2以上の自然数）の分割されたブロックからなるランダムアクセスメモリであり、分割された1つのブロックは、メモリセルが列方向（ビット線の延在方向）に（ X/m ）個、行方向（ワード線の延在方向）に（ $Y \times m / n$ ）個配置されてなる（ $X \times Y / n$ ）個のメモリセルを具備することを特徴とする。

【0021】本請求項の発明では、表示データメモリを複数のブロックに分割する。これにより、ワード線も分割されてワード線の長さが短くなり、1本のワード線当たりの負荷が減少する。これにより信号遅延が軽減され、アクセスタイムの増大を防止できる。

【0022】(6) 請求項6に記載の本発明は、請求項3において、表示要素がマトリクス状に配置され前記表示体は、列方向（データ線の延在方向）に X 個、行方向（走査線の延在方向）に Y 個配列されてなる（ $X \times Y$ ）個の表示要素を具備しており、前記表示データメモリは、 n 個（ n は2以上の自然数）の分割されたブロックからなるランダムアクセスメモリであり、分割された1つのブロックは、メモリセルが列方向（ビット線の延在方向）に（ X/m ）個、行方向（ワード線の延在方向）に（ $Y \times m / n$ ）個配置されてなる（ $X \times Y / n$ ）個のメモリセルを具備しており、前記分割された各ブロックの間には、前記コマンド解読回路と、前記第1の制御回路と、前記第2の制御回路とが設けられていることを特徴とする。

【0023】駆動回路の内部に設けられた、MPUからの命令を解読するコマンド解読回路と、その命令に基づいて表示データメモリの入出力等を制御する制御回路とは、かなり大きなロジック回路となる。これらのロジック回路を、分割された表示データメモリの各ブロック間に配置することによって、レイアウト的にスペースの有効利用を図れる。

【0024】また、ロジック回路（制御回路等）の左右に表示データメモリの分割ブロックがあることにより、各ブロックとロジック回路（制御回路等）との距離が同じとなり、信号遅延量を均一化できる。

6

【0025】(7) 請求項7に記載の本発明は、請求項1～請求項6のいずれかに記載の駆動回路を半導体基板に集積してなる半導体集積回路装置である。

【0026】電子機器に搭載されているMPUと整合性がよい、安価かつ低消費電力の半導体集積回路装置（液晶パネル等のドライバIC）が得られる。

【0027】(8) 請求項8に記載の本発明は、請求項1～請求項7のいずれかに記載の駆動回路と、その駆動回路によりデータ線が駆動される表示体とを含む表示装置である。

【0028】携帯機器等への搭載に適した、安価かつ小型の表示装置が実現される。

【0029】(9) 請求項9に記載の本発明は、請求項8に記載の表示装置を搭載した電子機器である。

【0030】高性能な表示を行える、安価かつ小型の電子機器を実現できる。

【0031】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0032】本発明は、マルチライン駆動法（以下、MLS駆動法という）の特徴に着目して回路構成を工夫したものである。本発明の理解のためには、MLS駆動法の内容を知ることが重要であるため、まず、MLS駆動法の概要を説明する。

【0033】(1) MLS駆動法の概要

A. MLS駆動法の利点

MLS駆動法は、STN (Super Twisted Nematic) 液晶パネルなどの、単純マトリクス方式の液晶パネルにおいて、複数の走査線を同時に選択する技術である。これにより、走査線の駆動電圧を低くすることができる。

【0034】また、図7の上側に示すように、従来の線順次駆動法では、1フレーム期間に1回しか1つの画素を駆動しないために選択パルスの間隔が広く、液晶の透過率が時間経過とともに下がり、画像表示のコントラストや液晶がオンした時の輝度が低下してしまう。

【0035】これに対し、図7の下側に示すように、MLS駆動法によれば、1フレーム期間中に複数の選択期間を設け、複数の選択期間にそれぞれ電圧を印加して1画素を駆動するため、各選択期間に電圧を印加した後の透過率の減少が少なく、平均値として高い透過率を得ることができる。従って、コントラストを向上させることができる。

【0036】B. MLS駆動法の原理

図8に示されるような単純マトリクス型の液晶表示装置をMLS駆動する場合について考察する。

【0037】図8において、走査線（ $X_1 \sim X_n$ ）とデータ線（ $Y_1 \sim Y_m$ ）は、2枚の透明なガラス基板上に電極によって形成されており、2枚の基板間に液晶が挟まれている。

(5)

7

【0038】データ線はデータ線駆動回路（Yドライバ）2000に、走査線は走査線駆動回路（Xドライバ）3000に接続されている。なお、図中、記載の簡略化のために、データ線駆動回路を「Yドライバ」と記載し、走査線駆動回路を「Xドライバ」と記載している。

【0039】各走査線および各データ線の交差部には画素が形成され、各走査線および各データ線に供給される走査信号およびデータ信号により、その表示要素が駆動される。

【0040】ここで、図9に示すように、2本の走査線X1、X2を同時に駆動し、それらの走査線とデータ線Y1とが交差する位置の画素をオン／オフさせる場合を考える。

【0041】オン画素を「-1」とし、オフ画素を「+1」と記すことにする。このオン／オフを示すデータはフレームメモリ内に格納されている。また、選択パルスは「+1」、「-1」の2値で表す。また、データ線Y1の駆動電圧は、「-V2」、「+V2」、「V1」の3値である。

【0042】データ線Y1に、「-V2」、「+V2」、「V1」のいずれの電圧を与えるかは、表示データベクトルdと、選択行列βとの積により決定される。

【0043】図9の（a）の場合は、 $d \cdot \beta = -2$ であり、（b）の場合は、 $d \cdot \beta = +2$ であり、（c）の場合は、 $d \cdot \beta = +2$ であり、（d）の場合は、 $d \cdot \beta = 0$ となる。

【0044】そして、表示データベクトルdと、選択行列βとの積が「-2」のときにデータ線駆動電圧として「-V2」が選択され、「+2」のときに「+V2」が選択され、「0」のときに「V1」が選択される。

【0045】表示データベクトルdと選択行列βとの積の演算を電子回路で行う場合には、表示データベクトルdと選択行列βの、対応するデータの不一致数を判定する回路を設ければよい。

【0046】つまり、不一致数が「2」の場合には、データ線駆動電圧として「-V2」を選択する。不一致数が「0」の場合には、データ線駆動電圧として「+V2」を選択する。また、不一致数が「1」の場合には、データ線駆動電圧として「V1」を選択する。

【0047】2ラインを同時に選択するMLS駆動では、上述のようにしてデータ線駆動電圧を決定し、1フレーム期間内で2回の選択期間を設け、その選択期間にそれぞれ電圧を印加して画素の表示状態を決定している。このような駆動法を採用することによって駆動電圧を低くすることができ、また、複数の選択期間に電圧を印加しているため透過率の低下が少なく、コントラストが向上する。

【0048】このように、MLS駆動を実現するためには、1選択期間毎に、表示画像のデータ（すなわち表示

8

パターン）と選択パルスのパターン、すなわち、走査電圧パターン（選択電圧パターンという場合もある）との不一致判定が必要となる。

【0049】この比較を実現するためには、「同時に選択される走査ライン数（h）×1ワード線に接続されるメモリセル数（k）」分の表示データが一度に必要となる。したがって、表示データメモリから必要なデータ群を一括して読み出すために、表示データメモリの構成を工夫する必要がある。

10 【0050】（2）本実施の形態にかかる液晶パネルのデータ線駆動回路の全体構成

図1に液晶パネルのデータ線駆動回路（図中、Yドライバと表記しており、以下、この用語を用いて説明する）の全体構成が示される。

【0051】Yドライバ200は、液晶パネル400のMLS駆動のための専用のICである。このYドライバ200は、液晶パネル400が搭載される電子機器に内蔵されるマイクロコンピュータ100と接続されて使用される。このマイクロコンピュータ100も半導体集積回路化されている。

20 【0052】マイクロコンピュータ100は、8ビットのMPU (Microcomputer Processing Unit) 102、内部データバス104、VRAM105等を有する。

【0053】Yドライバ200は、MPU102との間の情報の授受を行うMPUインタフェース回路202

と、マイクロコンピュータ100の内部データバス104に直結され、表示データの授受を行う入出力バッファ204と、データの一時的な蓄積を行うバスホールド230と、コマンドの解釈を行うコマンドデコード206

30 と、MPUからの指示に基づき、主に表示データRAM220への表示データのライトアクセスを制御するMPU系制御回路208と、表示データRAM220からの表示データの読出しやデータ先に印加する電圧の決定動作のタイミング等を制御するLCD系制御回路と、カラムアドレス制御回路212と、ロウアドレス制御回路

218と、データバッファ214と、カラムスイッチ216と、表示データRAM220と、出力選択回路222と、ラッチ224と、選択電圧パターンと表示データとの不一致を検出してデータ線に印加するべき電圧を決定するマルチラインデコード226と、決定された電圧を選択して出力する電圧セクタ228とを具備する。

40 【0054】ここで注目すべき点は、Yドライバ200は、マイクロコンピュータ100の内部データバス104に直結しており、8ビットのMPU1-2から表示データRAM220へのデータ転送は、マイクロコンピュータ100内におけるデータ転送と同じように、8ビット単位（MPU102がデータを並列処理できる単位）で行われることである。つまり、図1中、マイクロコンピュータ100内の内部データバス104から表示データRAM220に至るまでのデータ転送ラインDB1、

50

(6)

9

DB2, DB3, DB4, DB5は、8ビット(1バイト)単位で並列にデータを転送するラインである。

【0055】つまり、外部のマイクロコンピュータ100とXドライバ200との間にデータ転送のパイプラインを構築する。データ転送に際し、バスホールダ230を適宜に用いて転送タイミングを微調整することができる。

【0056】つまり、MPU102は、マイクロコンピュータの内部と外部を特に意識することなく、表示データの転送処理を命令を出すことができる。

【0057】MPUインタフェース回路202に入力されたMPU102からのデータ転送命令は、コマンドデコーダ(コマンド解読回路)206で解読され、その内容や必要な制御データ等がMPU系制御回路(第1の制御回路)208, LCD系制御回路(第2の制御回路)210に送られる。

【0058】必要な情報が与えられたMPU系制御回路208は、入力バッファ204, カラムアドレス制御回路212を制御して、入出力バッファ204から表示データRAM220へのデータ転送, データの書き込みを

実行する。

【0059】LCD系制御回路210は、上述のMPU系制御回路の動作とは独立に、表示データRAM220からデータを読み出させる。

【0060】出力選択回路222は、MLS駆動に必要な表示データを選択して読出す。表示データは、ラッチ224に一時的に保持された後、マルチラインデコーダ226に送られる。マルチラインデコーダ226の一致・不一致判定の結果、決定された電圧情報は電圧セクタ228に伝達され、電圧セクタ228はその電圧を選択して、液晶パネル400のデータ線(Yドライバ200が担当する表示領域のデータ線)に供給する。

【0061】なお、図1中、Yドライバ200, Xドライバ300は、一つのICとして描かれているが、同じ機能をもつ複数のICをカスケード接続して用いてもよい。

【0062】複数のICをカスケード接続して一つのXドライバとする場合、各ICにおける表示データRAMのメモリ容量は、その1個のICが担当する表示領域分の容量であり、電圧セクタ228から出力されるデータ線駆動電圧は、一つのICが担当する表示領域のデータ線についての駆動電圧となる。

【0063】(3) 表示データRAM220の構成およびデータの書き込み, 読出し動作の概要

図2(a)は液晶パネル400の1画素に1データを対応させたビットマップ形式のメモリ構成を示し、同図

(b)は図1で採用されている表示データRAM220のメモリ構成を示す。図(a)の縦方向の1~240, 横方向の1~320, 図(b)の縦方向の1~30, 横方向の1~2560はそれぞれメモリの物理的地址

10

を示し、(b)における[1]~[30], [1]~[320]は、MPU102側から見たアドレス空間におけるアドレスを示す。

【0064】通常の画像メモリ(フレームメモリ)なら、図2(a)のような構成となるはずであるが、上述のとおり、MLS駆動を行う場合には、同時に選択する走査線数(h)分の全データを並列に一度にマルチラインデコーダに供給する必要がある、このような特殊な読出しを可能とすべく、図2(b)のような特殊な構成を採用したものである。

【0065】つまり、図2(a)では、240個(ビット線方向)×320個(ワード線方向)のメモリセルを配置してメモリを構成しているが、図2(b)では、30個(ビット線方向)×2560個(ワード線方向)のメモリセルを配置してメモリを構成している。つまり、

(b)では、ビット線方向のメモリセル数が1/8に圧縮され($240 \div 8 = 30$)、一方、ワード線方向のメモリセル数が8倍になっている($320 \times 8 = 2560$)。

【0066】これは、一度に読み出すべき図2(a)の領域(A)の全データ、すなわち、図2(a)中の(a1, b1, c1, d1)から(a320, b320, c320, d320)までの全データを1本のワード線に接続されるメモリセル群に記憶させ、そのワード線をアクティブにすることで、各データの同時の並列読出しを可能とするためであり、また、データ転送との整合をとるためである。

【0067】前述のとおり、データ転送は全て8ビットで行われるため、パイプライン的な処理を確保するためには、表示データRAM220に対するデータの書き込みも8ビットで行う必要がある、よって、8ビットのデータの同時書き込みを行うべく、図2(b)のように縦を1/8に圧縮し、横を8倍に伸張したメモリ構成としたものである。

【0068】そして、表示データRAM220への1回の書き込みでは、同時に選択される走査線に対応したデータ(例えば、a1, b1, c1, d1)の他に、次のサイクルで同時に選択される走査線に対応したデータ(例えば、e1, f1, g1, h1)を一組の単位(8ビット)として、一括の書き込みを行う。

【0069】MPU102側からみた表示データRAM220のカラムアドレスは、[1]~[30]であり、ロウアドレスは[1]~[320]である。したがって、図1のカラムアドレス制御回路212とロウアドレス制御回路218は、カラムアドレスを固定しておき、ロウアドレスを1づつインクリメントしながら8ビット単位の書き込みを実行していく。

【0070】このように、表示データメモリ220への表示データの書き込みは、同時に選択される走査線の数

50

(7)

11

タ線に印加する電圧を決定するのに必要なh個の表示データを含むmビット(mはデータ転送のビット数)の表示データを単位として行われる。これにより、MPU102は、内部バス104に接続された自己が管理するメモリ(105等)にデータ転送をするのと同様に、マルチライン駆動用の表示データRAMにもデータを転送することができる。よって、マルチライン駆動のための処理もマイクロコンピュータの内部と同様に行われるため、データ転送のタイミング制御に関する整合性もよく、MPUに特別な負担がかからない。

【0071】また、表示データメモリ220からのデータの読出しに際しては、図2(b)の下側に矢印で示すように、まず、奇数番目の物理アドレスのメモリセルから、図2(a)の領域(ア)の表示データを一括して読出す。そして、次のサイクルで、偶数番目の物理アドレスのメモリセルから、図2(a)の領域(イ)の表示データを一括して読出す。このような読出しデータの選択は、図1の出力選択回路222が実行する。

【0072】このように、本実施の形態では、データ転送ならびにRAMへの書き込み単位(「8」ビット)は、マルチライン選択数(「4」)の倍数であり、よって、RAMへの書き込み、読出しの整合性がよく、タイミング制御が容易である。よって、データのバイブライ的な処理に適する。

【0073】(4)表示データRAM220周辺の回路の具体例

図3に表示データRAM220周辺の回路の具体例が示される。

【0074】表示データRAM220としては、SRAMを用いている。メモリセルM1、M2・・・は、ワード線W1、W2・・・がアクティブとなると選択状態となり、各メモリセルへの書き込み、読出しが可能となる。

【0075】一方、データバッファ214は、MPU102の内部バス104を介して送られてくる8ビットのデータD0～D7を一時的にストアするもので、各データに対応した段数のフリップフロップ215a～215hを有する。

【0076】各段のフリップフロップ215a～215hには、1対の信号ラインDL1、xDL1、DL2、xDL2・・・がそれぞれ接続されている。なお、xは電圧レベルが反転されていることを示す記号である。

【0077】この信号ラインDL1、xDL1、DL2、xDL2・・・にカラムスイッチを構成する8組のNMOSトランジスタS1、S2、・・・S15、S16の一端(ソース、ドレイン)が接続され、8組のNMOSトランジスタS1、S2・・・のゲートには、カラムアドレス制御回路212から出力される共通のカラムスイッチ制御信号ADR1(ADR2)が供給される。

【0078】つまり、例えば、カラムスイッチ制御信号

12

ADR1がアクティブとなると、8組のNMOSトランジスタS1、S2、・・・S15、S16が全部オンして、8個のメモリセル(例えば、メモリセルM1～M8)へのデータの同時書き込みが可能となる。

【0079】また、メモリセルからのデータの読出しにおいて、相補ビット線対BL1、xBL1等を介して読み出された表示データは、出力選択回路222で選別された後にラッチ224へと送られる。

【0080】出力選択回路222は、選択信号SEL1、SEL2によって選択的にオンするMOSTランジスタからなるスイッチS30～S37を具備し、選択信号SEL1がアクティブとなると偶数番目のメモリセルからのデータを通過させ、選択信号SEL2がアクティブとなると奇数番目のメモリセルからのデータを通過させる。

【0081】ラッチ224はインバータINV1、INV2を組み合わせたフリップフロップを有する。

【0082】ラッチ224で保持された表示データは、マルチラインデコーダ226に供給される。マルチラインデコーダ226は、液晶パネルの1本のデータ線を駆動するための電圧を決定する不一致判定回路227a、227b・・・を有する。

【0083】図5は、1個の不一致判定回路の構成を示したブロック図である。

【0084】不一致数判定回路は、第1のROM回路1、第2のROM回路2、第3のROM回路3、第4のROM回路4、第5のROM回路5と、プリチャージ(PC)回路6～10を有している。PC回路6、7、9、10は同じ構成であるが、PC回路8は構成が少し異なり、入出力端子の数が1つになっている。

【0085】不一致数判定回路への入力信号は、液晶パネルの走査線駆動のパターン(選択電圧パターン)を判別するためのパターン識別信号(PD0、PD1)と、フレームメモリから読み出したデータ信号data1からdata4と、プリチャージ信号PC、表示のオン、オフを反転する信号FRである。

【0086】これら入力信号は、各々インバータを介して、正転信号と反転信号の両方がROM1～5回路1～5に共通に入力される。ただし、FR端子には、正転信号だけが入力される。

【0087】PC1～5回路6～10の出力信号sw1～sw5は、図20のレベルシフタ259を介し、電圧セクタ260の制御端子に接続されている。出力信号sw1～sw5のいずれか1つがHighの時、電圧セクタ内で対応する電圧レベルVY1～VY5の1つが選択され、データ線に印加される。

【0088】図6は、図5のROM5回路5を模式的に表した図であり、Nチャンネル・トランジスタ(以降Nch・Tr)を白丸(○)で示している。

【0089】図6の左側において、通常のCMOSトラ

50

(8)

13

ンジスタ記号と対応して示しているように、ゲートは (a, c) と表記され、ドレインは (b) と表記され、ソースは (d) と表記され、サブストレート ($V_{ss} = GND$) と表記されている。

【0090】次に、入力信号からデコード演算により出力信号が生成される過程を説明する。

【0091】不一致判定回路の出力線 (縦の線) は、あらかじめプリチャージ (PC信号) により High になっている。入力線 (横の線) から入力される入力信号によって、一本の縦の線に直列接続されている全ての $Nch \cdot Tr$ がオンすると、その縦の線の電位は V_{ss} となり、出力は Low に変化する。

【0092】例えば、走査電圧パターン (選択電圧パターン) として図10のパターンを採用しているとする。

【0093】XPCが High で、 $data1 \sim data4$ がすべて High ならば、ROM5回路の1列目の $Nch \cdot Tr$ がすべてオンし、 V_{ss} につながり Low を出力する。他の列は、オンしていない $Nch \cdot Tr$ があり、 V_{ss} にはつながらず、High のままである。

【0094】このように、 $Nch \cdot Tr$ をどこに置くかによって、出力を選択することができる。つまり、 $Nch \cdot Tr$ の配置によって、入力信号をデコードし、選択電圧データへと変換することが可能である。

【0095】マルチラインデコーダ226から出力される選択電圧データは、電圧セクタ228に入力され、そのデータに対応した電圧が選択されて液晶パネル400に供給される。なお、参照番号229a, 229bはそれぞれ、1出力当たりの電圧選択回路を示す。

【0096】(5) 第2の実施の形態

図2の表示データRAM220は、同時に駆動される走査線の数に対応する表示データを、1本のワード線をアクティブとすることにより一挙に読み出す必要上、通常のRAMに比べて、横方向に極めて長い (つまり、1本の走査線が極めて長い) という特殊な形態をしている。

【0097】一方、上述のとおり、電子機器に内蔵されるマイクロコンピュータ100におけるMPU102

(図1) は、液晶パネルのMLS駆動を何ら意識することなく、通常どおり高速のデータ転送処理を実行する。

【0098】したがって、表示データRAM220へのデータの入出力の際、長いワード線の駆動により信号遅延が生じてアクセスタイムが増大すると、MPU102側からの高速なデータ転送との整合性がとれず、MPU102のバスと直結したパイプライン的なデータ転送が困難になる場合も想定される。

【0099】そこで、本実施の形態では、図4に示すように、表示データRAM220を例えば2つのブロック221a, 221bに分割して1本のワード線長を短縮し、駆動遅延を軽減する。

【0100】図4においては、図1と同じ箇所には同じ参照番号を付してある。

14

【0101】各ブロック221a, 221bにはワード線ドライバ240, 242が設けられ、各ワード線ドライバ240, 242はそれぞれ、分割されたワード線 $W1a \sim Wna$, $W1b \sim Wnb$ を駆動する。また、コラムアドレス制御回路212a, 212b, データバッファ214a, 214b, マルチラインデコーダ226a, 226bも分割して設けている。

【0102】さらに、本実施の形態では、分割されたブロック221a, 221bの間に、ロジック回路211を配置している。

【0103】ここで、「ロジック回路211」は、図1におけるMPUインタフェース202、バスホールダ230、コマンドデコーダ206、MPU制御回路208、LCD系制御回路210を総括的に表現する名称である。特に、MPU制御回路208、LCD系制御回路210はかなり大きなロジック回路であり、その配置が問題となる。

【0104】そこで、本実施の形態では、MPU制御回路208やLCD系制御回路210を含む「ロジック回路211」を、分割された表示データRAMの各ブロック221a, 221b間に配置し、スペースの有効利用を図っている。

【0105】また、ロジック回路211の左右に分割されたブロック221a, 221bがあることにより、ロジック回路211から各ブロック221a, 221bまでの距離が同じとなり、信号遅延量を均一化できる。

【0106】なお、本実施の形態では表示データRAMを2分割しているが、これに限定されるものではなく、適切な分割を行うことができる。

【0107】本実施の形態の駆動回路が担当する表示体の領域のサイズが、縦 (データ線の延在方向) にX個、横 (走査線の延在方向) にY個配列されてなる合計で (X×Y) 個の表示要素からなる領域であり、表示データメモリをn個 (nは2以上の自然数) に分割する場合、分割された1つのブロックは、メモリセルが縦 (ビット線の延在方向) に (X/m) 個、横 (ワード線の延在方向) に (Y×m/n) 個配置されてなる合計で (X×Y/n) 個のメモリセルを、具備することになる。ここで、mは上述のとおり、MPUの並列データ処理単位 (転送の処理単位) である。

【0108】(6) 第3の実施の形態

次に、上述の表示装置 (液晶表示装置) を搭載した電子機器の例について説明する。

【0109】本実施の形態にかかる電子機器は、図11に示す表示情報出力源1000、表示情報処理回路1002、表示駆動回路1004、液晶パネルなどの表示パネル1006、クロック発生回路1008及び電源回路1010を含んで構成される。表示情報出力源1000は、ROM、RAMなどのメモリ、テレビ信号を同調して出力する同調回路などを含んで構成され、クロック発

(9)

15

生回路1008からのクロックに基づいて、ビデオ信号などの表示情報を出力する。表示情報処理回路1002は、クロック発生回路1008からのクロックに基づいて表示情報を処理して出力する。この表示情報処理回路1002は、例えば増幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路あるいはクランプ回路等を含むことができる。表示駆動回路1004は、走査側駆動回路及びデータ側駆動回路を含んで構成され、液晶パネル1006を表示駆動する。電源回路1010は、上述の各回路に電力を供給する。

【0110】このような構成の電子機器として、図12に示す液晶プロジェクタ、図13に示すマルチメディア対応のパーソナルコンピュータ(PC)及びエンジニアリング・ワークステーション(EWS)、図14、図15に示すページャ、あるいは携帯電話、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タッチパネルを備えた装置などを挙げることができる。

【0111】図12に示す液晶プロジェクタは、透過型液晶パネルをライトバルブとして用いた投写型プロジェクタであり、例えば3板プリズム方式の光学系を用いている。図12において、プロジェクタ1100では、白色光源のランプユニット1102から射出された投写光がライトガイド1104の内部で、複数のミラー1106および2枚のダイクロイックミラー1108によってR、G、Bの3原色に分けられ、それぞれの色の画像を表示する3枚の液晶パネル1110R、1110Gおよび1110Bに導かれる。そして、それぞれの液晶パネル1110R、1110Gおよび1110Bによって変調された光は、ダイクロイックプリズム1112に3方向から入射される。ダイクロイックプリズム1112では、レッドRおよびブルーBの光が90°曲げられ、グリーンGの光が直進するので各色の画像が合成され、投写レンズ1114を通してスクリーンなどにカラー画像が投写される。

【0112】図13に示すパーソナルコンピュータ1200は、キーボード1202を備えた本体部1204と、液晶表示画面1206とを有する。

【0113】図14に示すページャ1300は、金属製フレーム1302内に、液晶表示基板1304、バックライト1306aを備えたライトガイド1306、回路基板1308、第1、第2のシールド板1310、1312、2つの弾性導電体1314、1316、及びフィルムキャリアテープ1318を有する。2つの弾性導電体1314、1316及びフィルムキャリアテープ1318は、液晶表示基板1304と回路基板1308とを接続するものである。

【0114】ここで、液晶表示基板1304は、2枚の透明基板1304a、1304bの間に液晶を封入した

16

もので、これにより少なくともドットマトリクス型の液晶表示パネルが構成される。一方の透明基板に、図20に示す駆動回路1004、あるいはこれに加えて表示情報処理回路1002を形成することができる。液晶表示基板1304に搭載されない回路は、液晶表示基板の外付け回路とされ、図23の場合には回路基板1308に搭載できる。

【0115】図14はページャの構成を示すものであるから、液晶表示基板1304以外に回路基板1308が必要となるが、電子機器用の一部品として液晶表示装置が使用される場合であって、透明基板に表示駆動回路などが搭載される場合には、その液晶表示装置の最小単位は液晶表示基板1304である。あるいは、液晶表示基板1304を筐体としての金属フレーム1302に固定したものを、電子機器用の一部品である液晶表示装置として使用することもできる。さらに、バックライト式の場合には、金属製フレーム1302内に、液晶表示基板1304と、バックライト1306aを備えたライトガイド1306とを組み込んで、液晶表示装置を構成することができる。

【0116】なお、これらに代えて、図15に示すように、液晶表示基板1304を構成する2枚の透明基板1304a、1304bの一方に、金属の導電膜が形成されたポリイミドテープ1322にICチップ1324を実装したTCP(Tape Carrier Package)1320を接続して、電子機器用の一部品である液晶表示装置として使用することもできる。

【0117】なお、本発明は上記実施例に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、本発明は上述の各種の液晶パネルの駆動に適用されるものに限らず、エレクトロルミネセンス、プラズマディスプレイ装置にも適用可能である。

【0118】

【図面の簡単な説明】

【図1】本発明の第1の実施の形態にかかるシステムの全体構成を示す図である。

【図2】表示データRAMのメモリ構成を説明するための図であり、(a)は液晶パネルの1画素に1データに対応させたビットマップ形式の一般的なメモリ構成を示し、(b)は図1で採用されている本発明にかかる表示データRAMのメモリ構成を示す。

【図3】表示データRAMならびにその周辺回路の具体的な構成例を示す図である。

【図4】本発明の第2の実施の形態にかかるシステムの要部の構成を示すブロック図である。

【図5】図2のマルチラインデコーダを構成する不一致判定回路の具体的な構成を示す図である。

【図6】図5の不一致判定回路に使用されているROMの構成を示す図である。

(10)

17

18

【図7】単純マトリクス型の液晶パネルにおけるフレーム応答性ならびにマルチライン駆動の原理を説明するための図である。

【図8】単純マトリクス型の液晶パネルにおける電極の配置を示す図である。

【図9】マルチライン駆動の内容を説明するための図である。

【図10】マルチライン駆動における走査電圧パターン（選択電圧パターン）の一例を示す図である。

【図11】本発明が適用される電子機器のブロック図である。

【図12】本発明が適用されるプロジェクタの概略を説明するための図である。

【図13】本発明が適用されるパーソナルコンピュータの外観を示す図である。

【図14】本発明が適用されるページャの分解斜視図である。

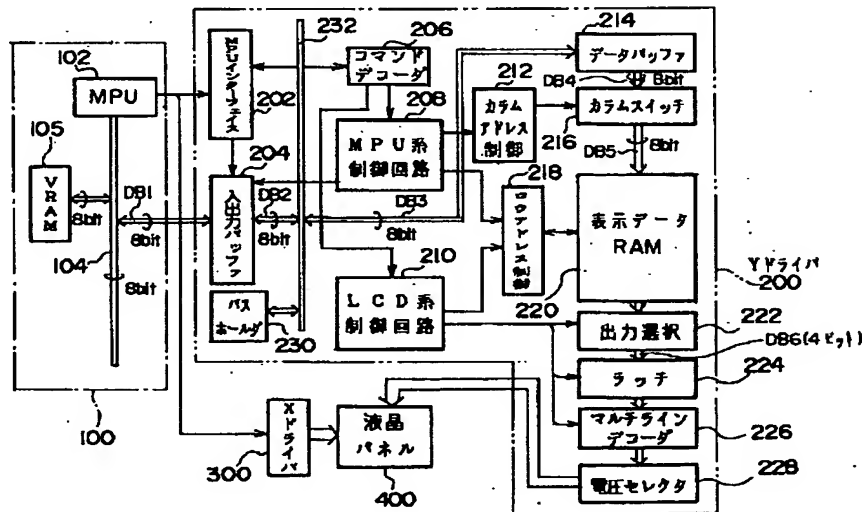
【図15】外付け回路を備えた画像表示装置の一例を示す斜視図である。

【符号の説明】

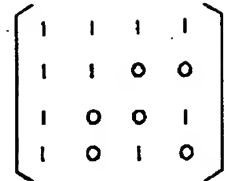
100 マイクロコンピュータ

102 MPU
104 内部データバス
105 VRAM
200 Yドライバ
202 MPUインタフェース
204 入出力バッファ
206 コマンドデコーダ
208 MPU系制御回路
210 LCD系制御回路
212 カラムアドレス制御回路
214 データバッファ回路
216 カラムスイッチ
218 ロウアドレス制御回路
220 表示データRAM
222 出力選択回路
224 ラッチ
226 マルチラインデコーダ
228 電圧セレクト
300 Xドライバ
400 液晶パネル

【図1】

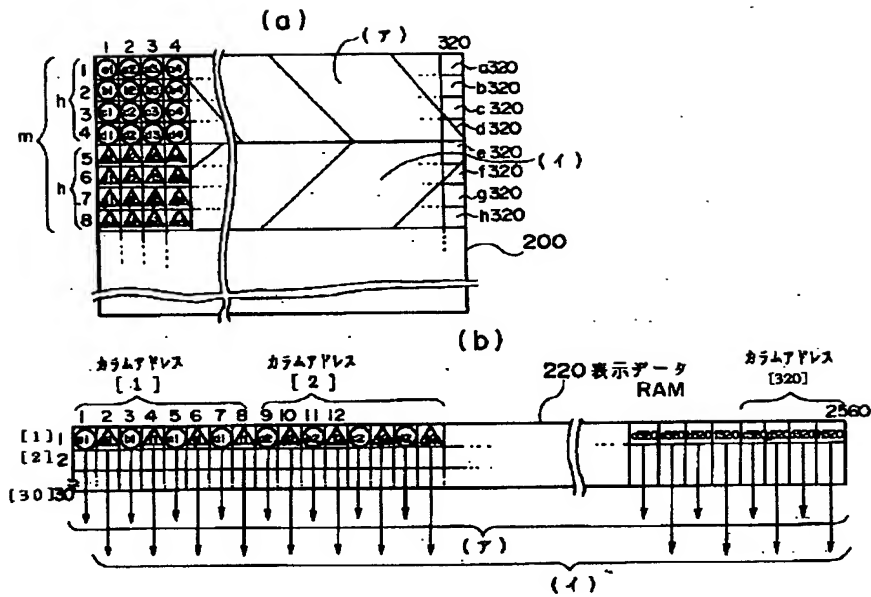


【図10】

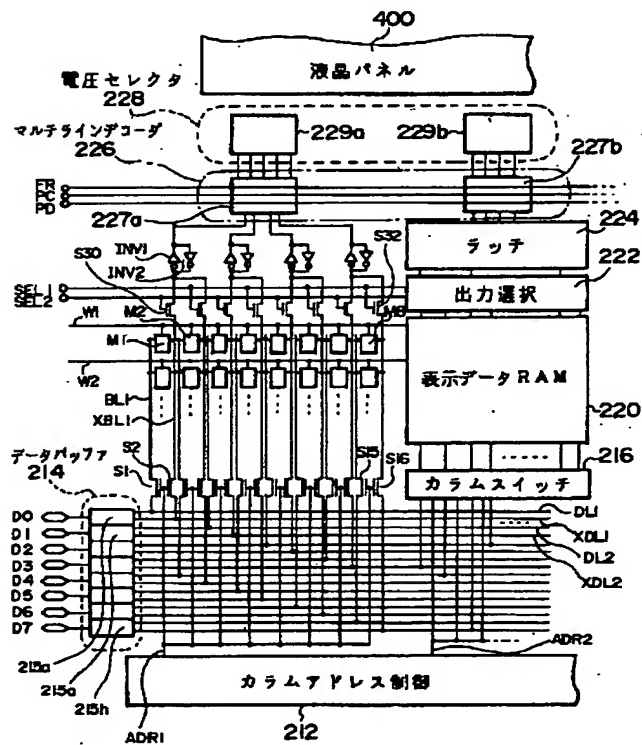


(11)

【図2】

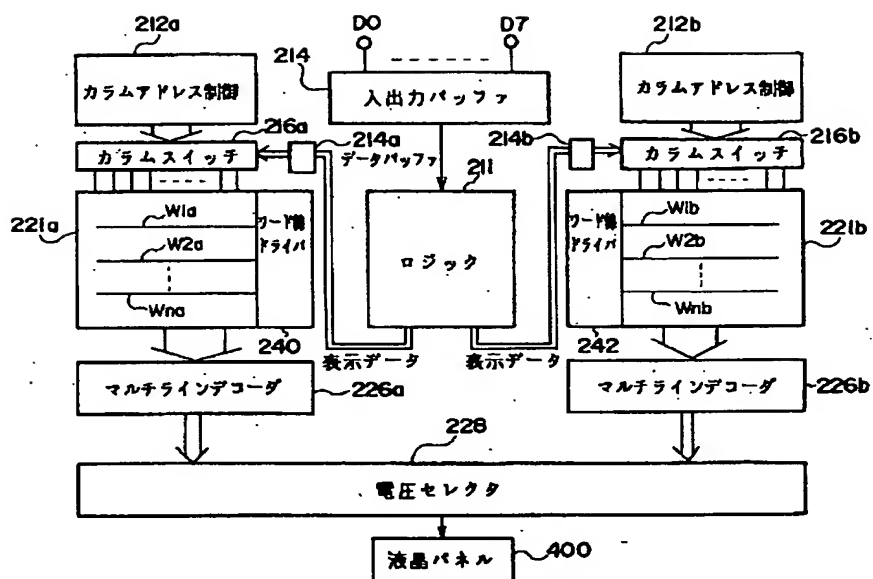


【図3】

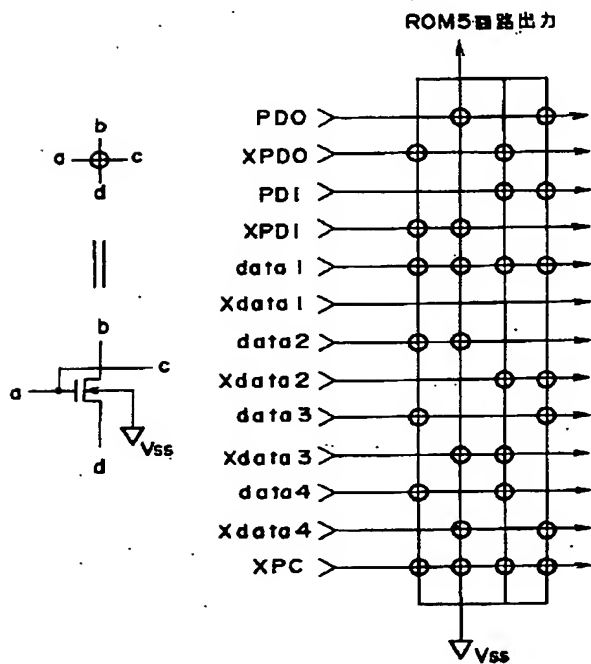


(12)

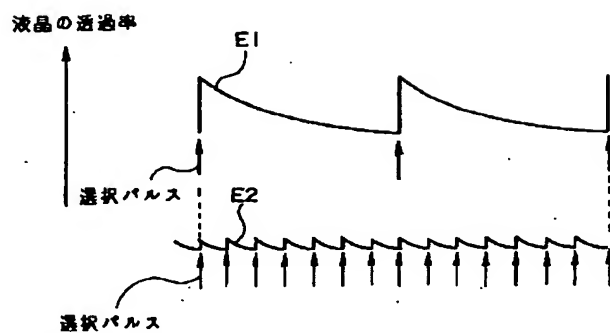
【図4】



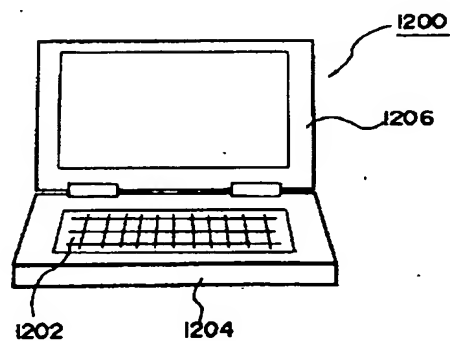
【図6】



【図7】

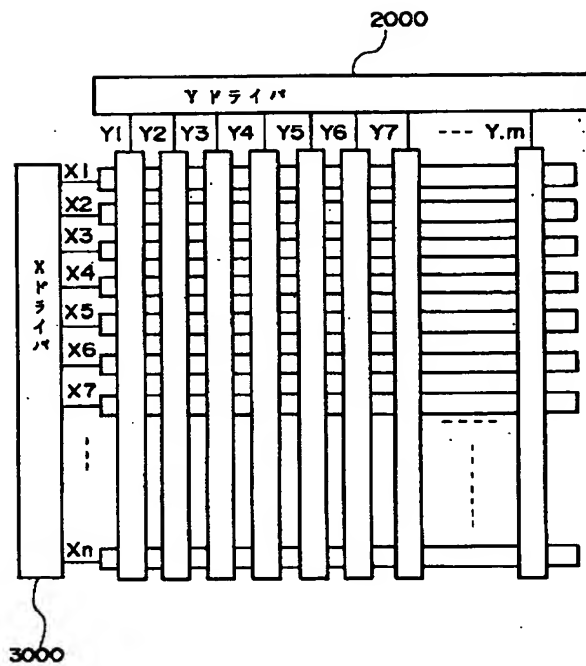


【図13】

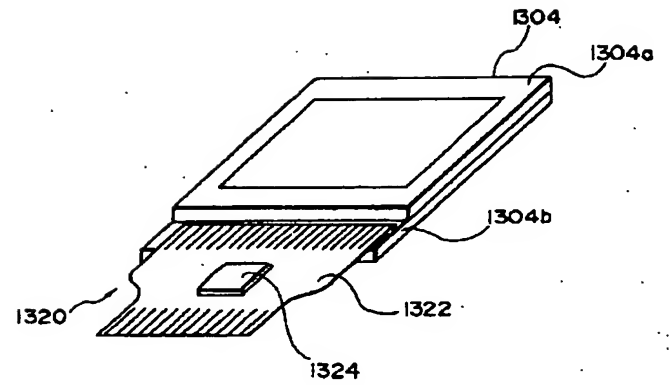


(13)

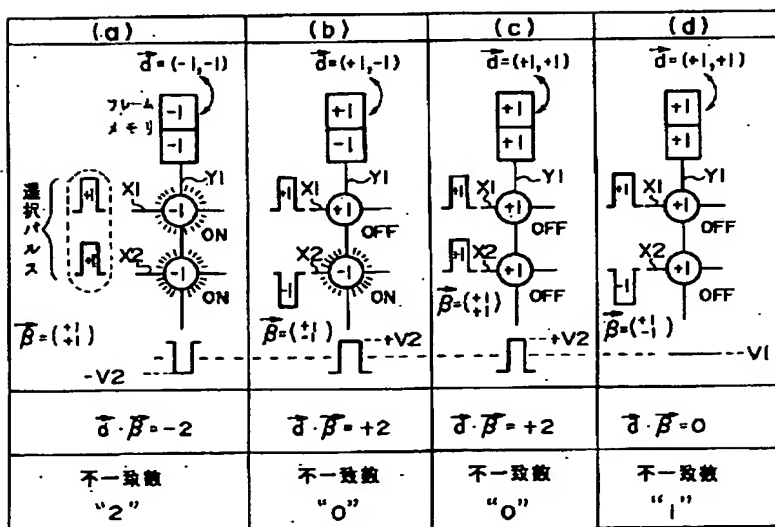
【図8】



【図15】

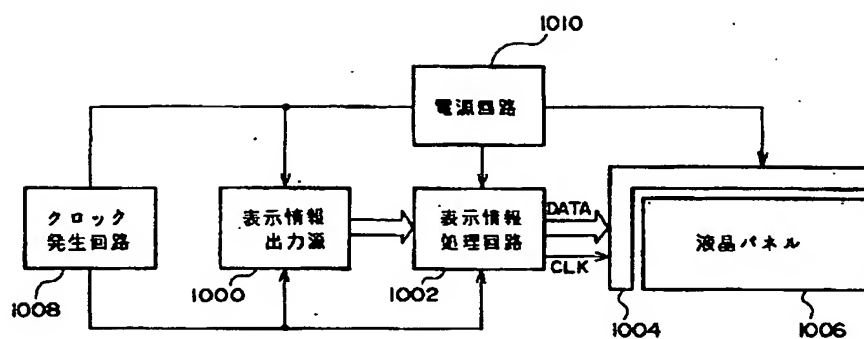


【図9】

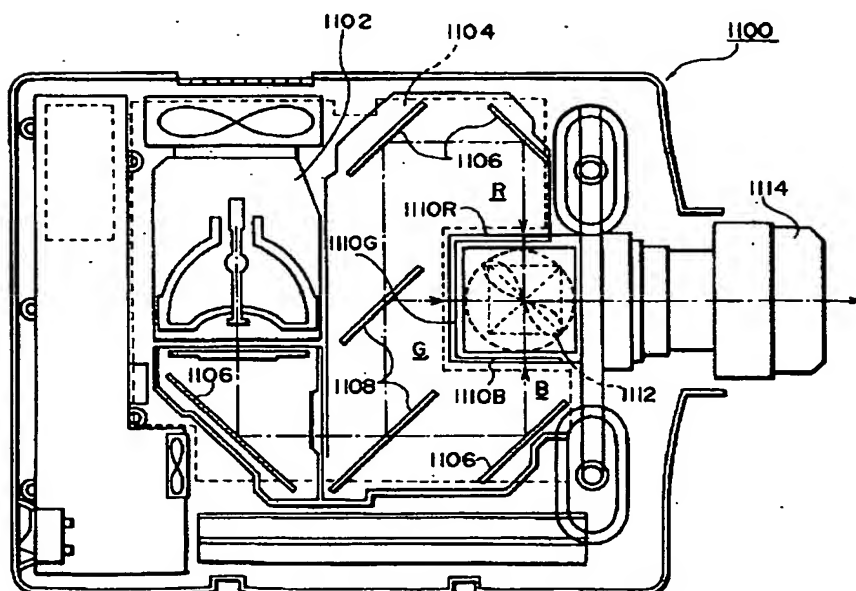


(14)

【図11】



【図12】



(15)

【図14】

